

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

**"МИРЭА - Российский технологический университет"**

**РТУ МИРЭА**

Институт радиоэлектроники и автоматики

Кафедра геоинформационных систем

**ОТЧЕТ**

**ПОПРАКТИЧЕСКОЙРАБОТЕ№ 7**

*Реализация заданной логической функции от четырех*

*переменных на дешифраторах 4-16, 3-8 и 2-4*

**по дисциплине**

**«**ИНФОРМАТИКА**»**

|  |  |
| --- | --- |
| Выполнил студент группы *ИКБО-10-23* | *Враженко Д.О.* |

|  |  |
| --- | --- |
| Принял  *доцент кафедры ГИС, к.т.н.* | *Воронов Г.Б.* |

|  |  |  |
| --- | --- | --- |
| Практическая  работа выполнена | «\_\_»\_\_\_\_\_\_\_\_\_\_\_2023 г. | *\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_* |

|  |  |  |
| --- | --- | --- |
| «Зачтено» | «\_\_»\_\_\_\_\_\_\_\_\_\_\_2023 г. | *\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_* |

Москва 2023

СОДЕРЖАНИЕ

[1 ПОСТАНОВКА ЗАДАЧИ 3](#__RefHeading___Toc4052_795040542)

[2 ПРОЕКТИРОВАНИЕ И РЕАЛИЗАЦИЯ 4](#__RefHeading___Toc4054_795040542)

[2.1 Составление таблицы истинности 4](#__RefHeading___Toc234_2103534573)

[2.2 Схема с использованием дешифратора 4-16 4](#__RefHeading___Toc236_2103534573)

[2.3 Схема с использованием дешифратора 3-8 5](#__RefHeading___Toc238_2103534573)

[2.4 Схема с использованием дешифратора 2-4 8](#__RefHeading___Toc763_3331304651)

[3 ВЫВОДЫ 11](#__RefHeading___Toc4056_795040542)

[4 ИНФОРМАЦИОННЫЕ ИСТОЧНИКИ 12](#__RefHeading___Toc4058_795040542)

# ПОСТАНОВКА ЗАДАЧИ

Логическая функция от четырех переменных задана в 16-теричной век­торной форме. Восстановить таблицу истинности. По таблице истинности реа­лизовать в лабораторном комплексе логическую функцию на дешифраторах тремя способами:

– используя дешифратор 4-16 и одну дополнительную схему «или»;

– используя два дешифратора 3-8 и необходимую дополнительную логи­ку;

– используя пять дешифраторов 2-4 и одну дополнительную схему «или».

Протестировать работу схем и убедиться в правильности их работы. Под­готовить отчет о проделанной работе и защитить ее.

Личный вариант: F(a,b,c,d) = CE4D16.

# ПРОЕКТИРОВАНИЕ И РЕАЛИЗАЦИЯ

## Составление таблицы истинности

Исходные данные, представленные шестнадцатеричным числом, необхо­димо преобразовать в двоичную запись: CE4D16 = 1100 1110 010 011012.

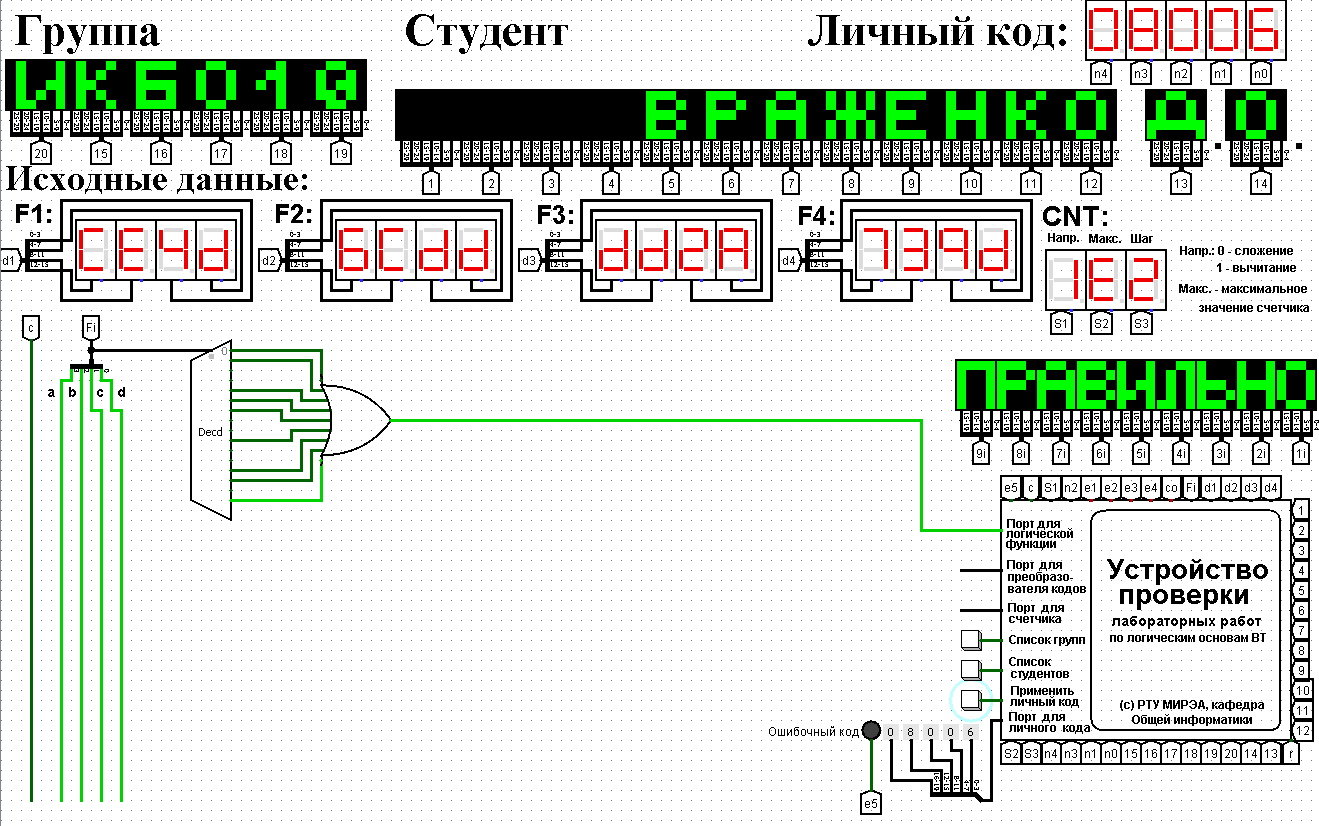
Результат перевода числа является столбцом значений логических функ­ций, который необходим для восстановления полной таблицы истинности, смотри табл. 1.

Таблица 1 – Таблица истинности для функции F

| a | b | c | d | F |
| --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

## **Схема с использованием дешифратора 4-16**

Реализуем функцию, используя дешифратор 4-16 и одну дополнительную схему «или». Количество выходов дешифратора соответствует количеству зна­чений логической функции, поэтому требуется только один такой дешифратор. Подадим значения переменных функции на адресные входы дешифратора: младшую переменную «d» – на младший адресный вход, старшую переменную «a» – на старший адресный вход, прочие переменные –аналогично (на схеме да­лее переменные подаются на адресные входы дешифратора при помощи шины). В процессе работы на выходах дешифратора (с нулевого по пятнадцатый) будут последовательно возникать единичные значения в соответствии с поступающей на адресные входы комбинацией значений переменных. Выберем лишь те выхо­ды дешифратора, номера которых совпадают с номерами наборов значений переменных, на которых функция равна единице. Объединим эти выходы де­шифратора через «или» и получим требуемую реализацию на рис. 1.

Рисунок 1 – Тестирование схемы, реализующей логическую

функцию на дешифраторе 4-16

## **Схема с использованием дешифратора 3-8**

Реализуем функцию, используя дешифраторы 3-8 и необходимую допол­нительную логику. Количество выходов у дешифратора 3-8 в два раза меньше количества значений логической функции, поэтому нам потребуется разместить на рабочей области лабораторного комплекса два дешифратора 3-8. Также сле­дует обратить внимание, что количество адресных входов дешифратора мень­ше, чем количество переменных функции.

Поэтому подадим значения трех младших переменных функции на адрес­ные входы обоих дешифраторов: младшую переменную «d» – на младший ад­ресный вход, старшую переменную «b» – на старший адресный вход, перемен­ную «с» – аналогично (на схеме далее переменные подаются на адресные вхо­ды дешифраторов при помощи разветвителя и шины).

Переменная «а» используется для управления дешифраторами. Когда «а» равна нулю, то должен работать первый дешифратор – он отвечает за первую половину таблицы истинности. Когда «а» равна единице, то должен работать второй дешифратор – он отвечает за вторую половину таблицы истинности. Чтобы это реализовать, переменная «а» должна подаваться на разрешающий вход первого дешифратора через инверсию, а на вход второго – без инверсии.

Для большей наглядности проиллюстрируем сказанное выше на табл. 2.

Таблица 2 – Распределение областей таблицы истинности между дешифратора­ми 3-8

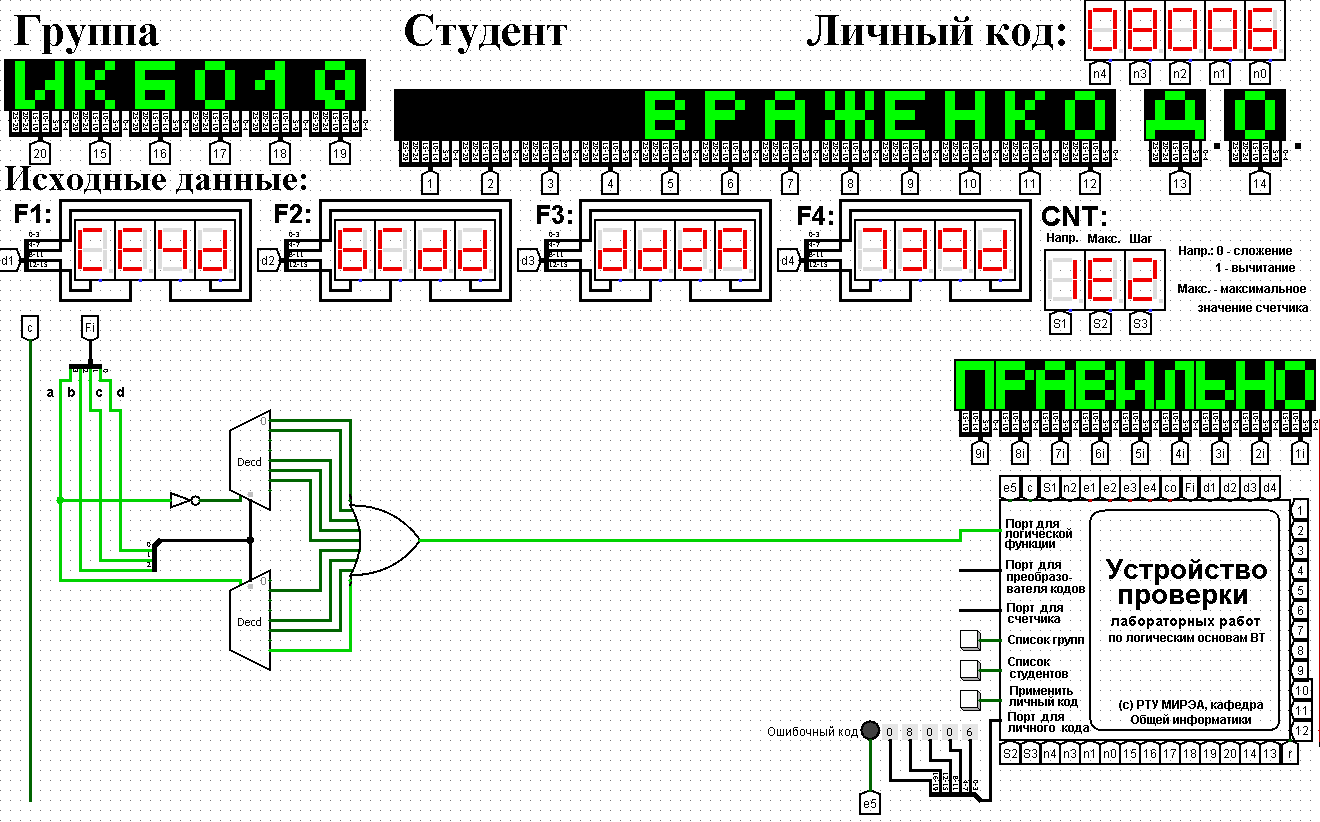
| a | b | c | d | F |
| --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |

Продолжение таблицы 2

| **a** | **b** | **c** | **d** | **F** |
| --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |

В процессе работы на выходах всех дешифраторов будут последовательно возникать единичные значения в соответствии с поступающей на адресные вхо­ды комбинацией значений переменных. У первого дешифратора выберем лишь те выходы, чьи номера совпадают с номерами наборов значений переменных, на которых функция равна единице, из первой половины таблицы. У второго де­шифратора выберем лишь те выходы, чьи номера совпадают с номерами набо­ров значений переменных за вычетом 8, на которых функция равна единице, из второй половины таблицы.

Объединим выбранные выходы обоих дешифраторов через «или» и полу­чим требуемую реализацию на рис. 2.

Рисунок 2 – Тестирование схемы, реализующей логическую

функцию на дешифраторах 3-8 и дополнительной логике

## Схема с использованием дешифратора 2-4

Реализуем функцию, используя дешифраторы 2-4 и необходимую допол­нительную логику. Количество выходов у дешифратора 2-4 в четыре раза мень­ше количества значений логической функции, поэтому нам потребуется разме­стить на рабочей области лабораторного комплекса четыре дешифратора 2-4, которые мы будем называть операционными, а также еще один дешифратор 2-4, который будет управлять первыми четырьмя – назовем его управляющим.

Итого всего потребуется пять дешифраторов 2-4 и дополнительная схема «или».

Следует обратить внимание, что количество адресных входов у каждого дешифратора в два раза меньше, чем количество переменных функции, поэтому каждый операционный дешифратор будет отвечать лишь за одну четверть ис­ходной таблицы истинности. Для большей наглядности проиллюстрируем ска­занное выше на табл. 3.

Таблица 3 – Распределение областей таблицы истинности между дешифратора­ми 2-4

| a | b | c | d | F |
| --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |

Продолжение таблицы 3

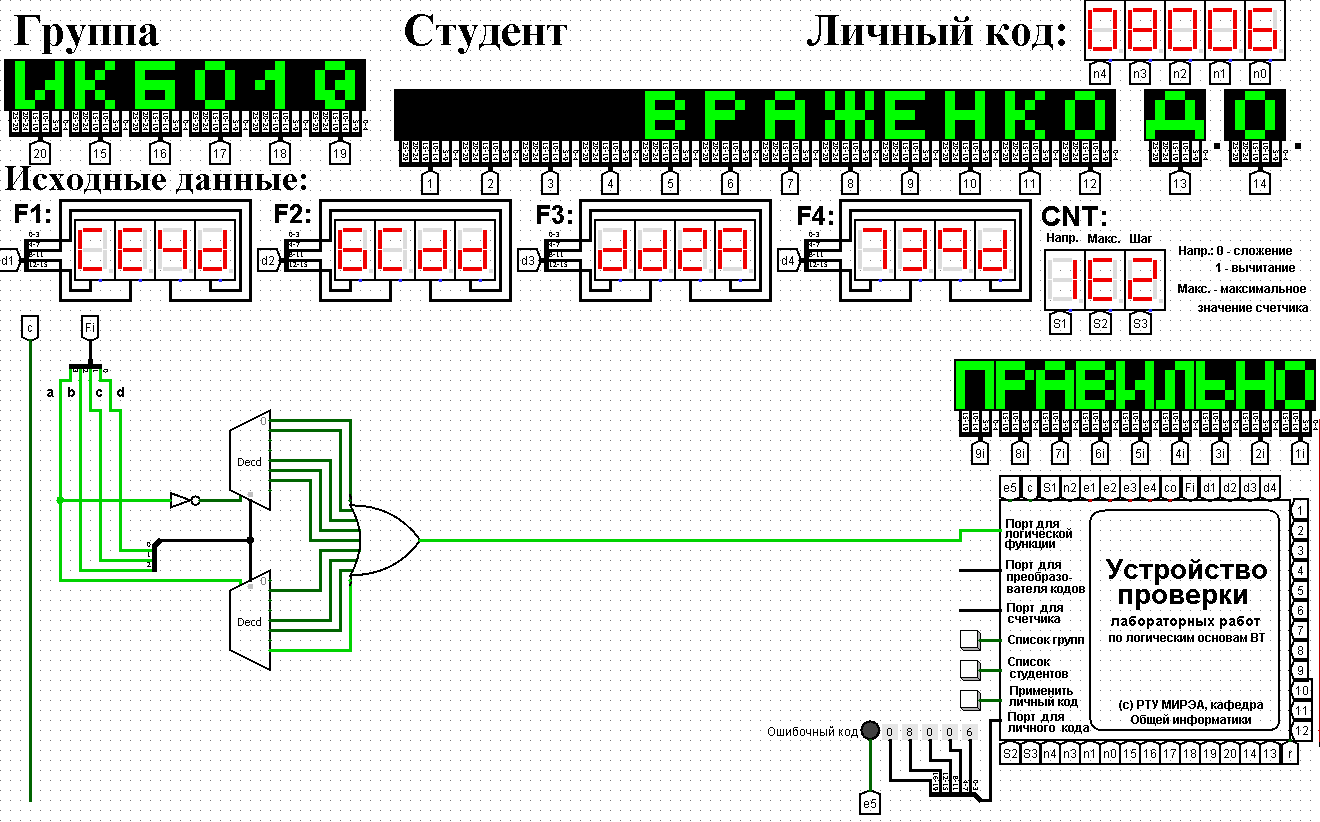
| **a** | **b** | **c** | **d** | **F** |
| --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |

Значения двух младших переменных функции используются для адреса­ции четырех операционных дешифраторов: младшая переменная «d» – подается на младший адресный вход, старшая переменная «с» – на старший адресный вход (на схеме далее переменные подаются на адресные входы дешифраторов при помощи разветвителя и шины).

Переменные «а» и «b» используется для управления операционными де­шифраторами и аналогичным образом подаются на адресные входы управляю­щего дешифратора. Выходы управляющего дешифратора должны быть подклю­чены к разрешающим входам операционных дешифраторов. Таким образом, когда «а» и «b» равны нулю, то на нулевом выходе управляющего дешифратора образуется единица, которая подается на разрешающий вход первого операци­онного дешифратора. И так далее, аналогично.

Теперь фактически каждый операционный дешифратор отвечает за свою двоичную тетраду в исходной векторной записи логической функции. Выберем у каждого операционного дешифратора лишь те выходы, где у двоичной тетра­ды стоят единицы. При этом необходимо считать, что нулевой выход соответ­ствует старшему двоичному разряду тетрады.

Объединим выбранные выходы всех операционных дешифраторов через «или» и получим требуемую реализацию на рис. 3.

Рисунок 3 – Тестирование схемы, реализующей логическую

функцию на дешифраторах 2-4 и дополнительной логике

# ВЫВОДЫ

В ходе выполнения практической работы по логической функции от четырёх переменных, заданной в 16-теричной векторной форме, была восста­новлена таблица истинности. По таблице истинности была реализована в лабо­раторном комплексе логическая функция на дешифраторах тремя способами:

– используя дешифратор 4-16 и одну дополнительную схему «или»;

– используя два дешифратора 3-8 и необходимую дополнительную логи­ку;

– используя пять дешифраторов 2-4 и одну дополнительную схему «или».

Протестирована работу схем. Тестирование показало, что схемы работают правильно. Подготовлен отчёт о проделанной работе.

# ИНФОРМАЦИОННЫЕ ИСТОЧНИКИ

1. Информатика: Методические указания по выполнению практических работ / С.С. Смирнов, Д.А. Карпов — М., МИРЭА — Российский технологический университет, 2020. – 102 с. [44-50]
2. Воронов Г.Б. Информатика: Лекции по информатике / Г.Б. Воронов — М., МИРЭА — Российский технологический университет, 2023.
3. Документация Logisim [Электронный ресурс] — URL: <http://www.cburch.com/logisim/ru/docs.html> (дата обращения 07.10.2023).